

대한민국특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

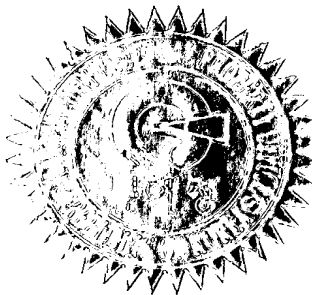
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0060998
Application Number

출원년월일 : 2002년 10월 07일
Date of Application OCT 07, 2002

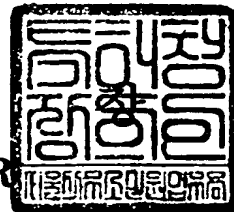
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.10.07
【발명의 명칭】	부스팅 전압 제어회로
【발명의 영문명칭】	Boosting voltage control circuit
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	서성환
【성명의 영문표기】	SEO, Sung Whan
【주민등록번호】	670602-1005816
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 아미리 현대 7차 707-605
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 다 리인 무 (인) 신영
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	19 면 19,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	48,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 부스팅 전압 제어 회로에 관한 것으로, 트림비트를 이용하여 부스팅 전압을 비교하기 위한 기준전압을 생성하고, 전압 강하된 부스팅 전압과 기준전압을 비교하여 부스팅 된 전압이 소자의 리드 동작뿐만 아니라 평상의 동작에도 일정레벨을 유지할 수 있도록 할 수 있는 부스팅 전압 제어 회로를 제공한다.

【대표도】

도 2

【색인어】

부스팅 전압, 트림비트, 비교기준 전압, 비교부

【명세서】

【발명의 명칭】

부스팅 전압 제어 회로 {Boosting voltage control circuit}

【도면의 간단한 설명】

도 1은 본 발명에 따른 부스팅 전압 제어 회로의 전체적인 구성 및 동작을 설명하기 위한 블록도이다.

도 2은 본 발명에 따른 레귤레이션 블록의 구성 및 동작을 설명하기 위한 회로도이다.

도 3a 내지 도 3c는 본 발명에 따른 패키지 전압 생성부의 구성 및 동작을 설명하기 위한 회로도이다.

도 4는 본 발명에 따른 클럭 생성기의 구성 및 동작을 설명하기 위한 회로도이다.

<도면의 주요 부분에 대한 부호의 설명>

100 : 레귤레이션 블록 200 : 클럭 생성기

300, 310 : 펌프 수단 110 : 부스팅 전압 분배부

120 : 비교부 130 : 기준전압 생성부

140 : 클럭 제어신호 출력부 150 : 패키지 전압 생성부

152 : 트림 비트 입력부 154 : 전압 레벨 변환부

155 : 패키지 전압 출력부

210, 220, 230, 240, 250 : 클럭 발생부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 부스팅 전압 제어 회로에 관한 것으로, 특히 플래쉬 메모리의 독출 동작시에 워드라인에 일정한 전압을 공급할 수 있는 반도체 장치의 부스팅 전압 제어 회로에 관한 것이다.

<14> 낮은 전원전압의 플래시 메모리(Flash Memory) 장치에서는 셀(Cell)의 독출 동작 때마다 셀의 워드라인 게이트(Word Line Gate) 전압을 올리기 위한 전압 부스팅(Boosting)을 하게 된다. 즉, 부스팅은 낮은 전원전압(VCC)을 독출동작에 사용할 수 있는 전압레벨(Level)로 전원전압을 상승시키는 것을 의미한다. 일반적으로 부스팅 동작은 외부에서 독출 명령이 입력되면 0V의 전압을 5.3V 까지 끌어 올리게 된다. 하지만 0V에서 5.3V 까지 전압을 상승시키기 위해서는 부스팅 회로 내부의 RC 지연(RC Delay)과 같은 다양한 지연요소들에 의해 많은 시간이 걸리게 된다.

【발명이 이루고자 하는 기술적 과제】

<15> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 독출 동작뿐만 아니라



대기 상태에서도 항상 일정한 레벨의 전압을 유지하여 독출 동작의 속도를 향상시킬 수 있고, 대기 상태에서 흐르는 전류를 최소화할 수 있는 부스팅 전압 제어 회로를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<16> 본 발명에 따른 펌프에 의해 부스팅 된 전압의 레벨을 일정하게 유지하기 위해서, 상기 부스팅 전압을 강하하기 위한 부스팅 전압 분배수단과, 외부의 트림비트에 따라 다양한 전압 레벨의 패키지 전압 신호를 생성하는 패키지 전압 생성 수단과, 상기 패키지 전압 생성 수단의 상기 패키지 전압 신호에 의해 기준전압과 제어전압을 생성하는 비교 기준전압 생성 수단과, 상기 제어전압에 의해 동작하고 상기 전압 강하된 부스팅 전압과 상기 기준전압을 비교하여, 비교 결과신호를 출력하는 비교수단과, 상기 비교수단의 비교 결과신호를 이용하여 제 1 및 제 2 클럭 제어신호를 출력하는 출력수단과, 상기 제 1 및 제 2 클럭 제어신호에 의해 클럭 신호를 생성하는 클럭 생성기 및 상기 클럭신호에 의해 부스팅 전압을 항상 출력하는 제 1 펌프와 외부의 독출 신호와 상기 클럭 신호에 의해 부스팅 전압을 출력하는 제 2 펌프를 포함하여 이루어진 것을 특징으로 하는 부스팅 전압 제어 회로를 제공한다.

<17> 또한, 클럭 생성기의 출력신호에 따라 펌핑된 전압을 출력으로 전달하기 위한 펌프와, 상기 출력의 전압을 검출하여 상기 클럭생성기를 제어하기 위한 레귤레이션 블록을 포함하여 이루어진 부스팅 전압 제어 회로에 있어서, 상기 레귤레이션 블록은, 상기 출력의 전압을 일정한 레벨로 강하하기 위한 부스팅 전압분배수단과, 외부의 트림비트에 따라 다양한 전압레벨의 패키지 전압신호를 생성하는 패키지 전압 생성수단과, 상기 패

키지 전압신호에 따라 기준전압과 제어전압을 생성하는 비교기준 전압 생성수단, 및 상기 제어전압에 따라 상기 전압분배 수단의 출력과 상기 기준전압을 비교하여 상기 클럭 생성기를 제어하기 위한 제어신호를 발생하는 비교수단을 포함하여 이루어진 것을 특징으로 하는 부스팅 전압 제어 회로를 제공한다.

<18> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명하기로 한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<19> 도 1은 본 발명에 따른 부스팅 전압 제어 회로의 전체적인 구성 및 동작을 설명하기 위한 블록도이다.

<20> 도 1을 참조하면, 레귤레이션(Regulation) 블록(100)이 부스팅 전압 출력단(OBvt)과 클럭 생성기(200)간에 접속된다. 제 1 및 제 2 펌프(300 및 310)는 클럭 생성기(200)와 부스팅 전압 출력단(OBvt)사이에 병렬로 연결되고, 제 1 펌프(300)는 외부의 독출인 에이블 신호(ERead)에 따라 구동된다.

<21> 상술한 구성을 갖는 본 발명의 전압 레귤레이션 회로의 동작을 설명하면 다음과 같다.

<22> 제 2 펌프(310)는 독출상태 뿐만 아니라 대기 상태에서도 클럭 생성기(200)의 클럭 신호들(CLK<0:4>)에 의해 일정 레벨의 부스팅 전압(BOOST)을 생성하고, 제 1 펌프(300)

는 외부의 독출인에이블 신호(ERead)와 클럭 생성기(200)의 클럭 신호(CLK<0:4>)에 의해 일정레벨의 부스팅 전압(BOOST)을 생성한다. 레귤레이션 블록(100)은 부스팅 전압(B000ST)을 내부 트림 비트에 의해 생성된 기준전압과 비교하여 제 1 및 제 2 펌프(300 및 310)에서 출력된 부스팅 전압(BOOST)을 일정한 레벨로 유지하기 위한 제 1 및 제 2 클럭 제어신호(PBIAS 및 NBIAS)를 출력한다. 클럭 생성기(200)는 제 1 및 제 2 클럭 제어신호(PBIAS 및 NBIAS)에 따라 클럭 신호들(CLK<0:4>)의 주기를 변화시킴으로써 제 1 및 제 2 펌프(300 및 310)를 제어한다.

<23> 본 발명에서는 출력귀환 방식으로 출력단의 부스팅 전압(BOOST)을 레귤레이션 블록(100)에서 감지하다가 부스팅 전압(BOOST)에 이상이 발생하였을 경우 레귤레이션 블록(100)의 출력인 제 1 및 제 2 클럭 제어신호(PBIAS 및 NBIAS)에 의해 클럭 생성기(200)의 출력인 클럭 신호(CLK)를 제어함으로써 제 1 및 제 2 펌프(300 및 310)를 제어하여 출력되는 부스팅 전압(BOOST)을 제어하게 된다.

<24> 제 1 펌프(300)는 소자의 독출 동작이 수행될 경우 워드라인 게이트 전압을 부스팅 하기 위한 제 1 부스팅 수단이고, 제 2 펌프(310)는 워드라인 게이트 전압을 부스팅 하기 위한 시간을 단축하도록 평상시에 부스팅 전압을 생성하는 제 2 부스팅 수단이다. 이는 대기 상태보다 독출 상태일 경우 더 많은 전류를 소모하게 되기 때문에 제 1 및 제 2 펌프(300 및 310)를 두었다. 즉, 대기 상태에서는 제 2 펌프(310)만 동작하여 낮은 전류와 일정레벨의 부스팅 전압을 생성하고, 독출 명령이 입력되면 제 1 및 제 2 펌프(300 및 310)가 동작하여 높은 전류와 일정레벨의 부스팅 전압이 공급된다. 이로써, 소자의 독출시간을 줄일 수 있고, 대기상태의 전력소비를 줄일 수 있다.

- <25> 부스팅 전압(BOOST)의 레벨을 비교 판단하여 제 1 및 제 2 클럭 제어신호(PBIAS 및 NBIAS)를 출력하는 레귤레이션 블록(100)에 관하여 설명한다.
- <26> 도 2는 본 발명에 따른 레귤레이션 블록의 구성 및 동작을 설명하기 위한 회로도이다.
- <27> 도 2를 참조하면, 레귤레이션 블록(100)은 부스팅 전압 분배부(110), 비교부(120), 기준전압 생성부(130), 클럭 제어신호 출력부(140), 패키지 전압 생성부(150)를 포함하여 이루어진다. 부스팅 전압 분배부(110)의 입력은 도 1의 부스팅 전압 출력단(OBvt)에 접속되고, 출력은 비교부(120)의 제 1 비교신호(VBDIV)입력에 접속된다. 기준전압 생성부(130)의 입력은 패키지 전압 생성부(150)의 출력에 접속된다. 기준전압 생성부(130)의 제 1 및 제 2 출력은 각각 비교부(120)의 제 2 비교신호(REFCRV)입력과 제어신호(NGATE)입력에 접속된다. 비교부(120)의 출력은 클럭 제어신호 출력부(140)의 입력에 접속된다. 클럭 제어신호 출력부(140)의 입력은 비교부(120)의 출력에 접속되고, 클럭 제어신호 출력부(140)의 제 1 및 제 2 출력은 클럭 생성기(200)의 입력에 접속된다. 패키지 전압 생성부(150)의 제 1 및 제 3 입력은 각각 외부의 트림비트(TE1 내지 TE3)에 접속되고, 출력은 기준전압 생성부(130)의 입력에 접속된다.
- <28> 상술한 접속관계를 갖는 레귤레이션 블록의 동작 및 구성을 도 3의 회로도를 참조하여 구체적으로 설명하기로 한다. 후술되는 '다이오드 접속된 트랜지스터'라 함은 게이트 단자와, 소스 또는 드레인 단자중 하나가 접속되어 트랜지스터가 다이오드로써 동작하는 것을 지칭한다.
- <29> 부스팅 전압 분배부(110)는 다이오드 접속된 제 10 내지 제 15 PMOS 트랜지스터(P10 내지 P15)를 포함하여 이루어진다. 구체적으로, 게이트 단자가 소스단자에 접속된

제 10 내지 제 15 PMOS 트랜지스터(P10 내지 P15) 각각은 부스팅 전압 입력단(OBvt)과 접지전원(VSS) 사이에 순차적으로 직렬 접속된다. 즉, 제 10 PMOS 트랜지스터(P10)의 드레인 단자는 부스팅 전압 입력단(OBvt)에 접속되고, 제 10 PMOS 트랜지스터(P10)의 소스 단자는 제 11 PMOS 트랜지스터(P11)의 드레인 단자에 접속된다. 제 11 PMOS 트랜지스터(P11)의 소스 단자는 제 12 PMOS 트랜지스터(P12)의 드레인 단자에 접속된다. 제 12 PMOS 트랜지스터(P12)의 소스 단자는 제 13 PMOS 트랜지스터(P13)의 드레인 단자에 접속된다. 제 13 PMOS 트랜지스터(P13)의 소스 단자는 제 14 PMOS 트랜지스터(P14)의 드레인 단자에 접속된다. 제 14 PMOS 트랜지스터(P14)의 소스 단자는 제 10 노드(Q10)에 접속되고 제 15 PMOS 트랜지스터(P15)의 드레인 단자 또한 제 10 노드(Q10)에 접속된다. 제 15 PMOS 트랜지스터(P15)의 소스 단자는 접지전원(VSS)에 접속된다.

<30> 기준전압 생성부(130)는 제 16 PMOS 트랜지스터(P16)와 다이오드 접속된 제 10 및 제 11 NMOS 트랜지스터(N10 및 N11)를 포함하여 이루어진다. 구체적으로, 패키지 전압 생성부(150)의 출력인 패키지 전압(PVT)에 의해 구동되는 제 16 PMOS 트랜지스터(P16)는 전원전압(VCC)과 제 11 노드(Q11) 사이에 접속된다. 드레인 단자와 게이트 단자가 접속된 제 10 NMOS 트랜지스터(N10)는 제 11 노드(Q11)와 제 12 노드(Q12) 사이에 접속된다. 드레인 단자와 게이트 단자가 접속된 제 11 NMOS 트랜지스터(N11)는 제 12 노드(Q12)와 접지전원(VSS) 사이에 접속된다.

<31> 비교부(120)는 제 17 및 제 18 PMOS 트랜지스터(P17 및 P18)와 제 12 내지 제 13 NMOS 트랜지스터(N12 및 N13)로 구성된 차동증폭기와 이를 구동하기 위한 제 14 NMOS 트랜지스터(N14)를 포함하여 이루어진다. 구체적으로, 제 17 PMOS 트랜지스터(P17)는 전원전압(VCC)과 제 13 노드(Q13)에 접속되고, 제 13 노드(Q13)의 전위에 따라 구동된다. 제

18 PMOS 트랜지스터(P18)는 전원전압(VCC)과 제 14 노드(Q14)에 접속되고, 제 13 노드(Q13)의 전위에 따라 구동된다. 제 12 NMOS 트랜지스터(N12)는 제 13 노드(Q13) 및 제 15 노드(Q15) 사이에 접속되고, 제 10 노드(Q10)(부스팅 전압 분배 수단의 출력; VBDIV)에 의해 구동된다. 제 13 NMOS 트랜지스터(N13)는 제 14 노드(Q14) 및 제 15 노드(Q15) 사이에 접속되고, 제 11 노드(Q11)(비교 기준전압 생성수단의 출력; REFCRV)에 의해 구동된다. 제 14 NMOS 트랜지스터(N14)는 제 15 노드(Q15) 및 접지전원(VSS) 사이에 접속되고, 제 12 노드(Q12)의 전위에 의해 구동된다.

<32> 클럭 제어신호 출력부(140)는 제 19 PMOS 트랜지스터(P19) 및 제 15 NMOS 트랜지스터(N15)를 포함하여 이루어진다. 다이오드 접속된 제 19 PMOS 트랜지스터(P19)와 제 15 NMOS 트랜지스터(N15)가 전원전압(VCC)과 접지전원(VSS) 사이에 접속된다. 구체적으로, 게이트 단자가 소스단자에 접속된 제 19 PMOS 트랜지스터(P19)는 전원전압(VCC)과 제 2 클럭 제어신호(NBIAS) 출력단에 접속된다. 제 15 NMOS 트랜지스터(N15)는 제 1 클럭 제어신호(PBIAS) 출력단과 접지전원(VSS) 사이에 접속되고, 제 14 노드(Q14)의 전위에 의해 구동된다.

<33> 상술한 구성을 갖는 본 발명의 레귤레이션 블록의 동작을 살펴보면 다음과 같다.

<34> 부스팅 전압 분배부(110)는 다이오드 접속된 제 10 내지 제 15 PMOS 트랜지스터(P10 내지 P15)를 통해 입력된 부스팅 전압(BOOST)을 전압 강하하고, 전압강하된 부스팅 전압인 제 1 비교신호(VBDIV)를 비교부(120)의 제 1 비교신호(VBDIV) 입력단에 출력한다. 예를 들어, 부스팅 전압(BOOST)이 9V이면 제 10 내지 제 15 PMOS 트랜지스터(P10 내지 P15) 각각의 양단에 걸린 전압은 각각 1.5V가 된다. 제 15 PMOS 트랜지스터(P15)의 양단에 걸린 전압은 부스팅 전압(BOOST)을 6등분한 전압 즉, 1.5V가 된다.

<35> 기준전압 생성부(130)는 제 16 PMOS 트랜지스터(P16)와, 제 10 및 제 11 NMOS 트랜지스터(N10 및 N11)를 통해 전원전압(VCC)을 분배하여, 부스팅 전압의 레벨을 비교하는 제 2 비교신호(REFCRV)와 비교부(120)의 동작을 제어하는 제어신호(NGATE)를 생성한다. 구체적으로 패키지 전압 생성부(150)의 출력인 패키지 전압(PVT)에 의해 제 16 PMOS 트랜지스터(P16) 양단에 걸리는 전압이 변화하게 되고, 이로 인해 기준전압 생성부(130)의 출력인 제 2 비교신호(REFCRV)와 제어신호(NGATE)의 전압레벨이 변화하게 된다. 이는 패키지 전압 신호(PVT)에 따라 제 16 PMOS 트랜지스터(P16)의 채널폭이 조절되어 제 16 PMOS 트랜지스터(P16)에 걸리는 전압이 변화하게 된다. 전원전압에서 제 16 PMOS 트랜지스터(P16) 양단에 걸린 전압을 뺀 나머지 전압이 다이오드 접속된 제 10 및 제 11 NMOS 트랜지스터(N10 및 N11)에 의해 양분된다. 이로써, 제 16 PMOS 트랜지스터(P16) 양단에 걸리는 전압을 조절함으로 인해 제 11 및 제 12 노드(Q11 및 Q12)의 전압을 변화시킨다. 예컨대, 전원전압(VCC)이 5V라 하고, 패키지 전압 신호(PVT)에 의해 제 16 PMOS 트랜지스터(P16)에 걸리는 전압이 1V라고 가정하면, 제 10 및 제 11 NMOS 트랜지스터(N10 및 N11)에 의해 제 11 노드(Q11) 및 제 12 노드(Q12)에 각각 2V가 인가된다.

<36> 비교부(120)는 부스팅 전압 분배부(110)의 출력인 제 1 비교신(VBDIV)호와 기준전압 생성부(130)의 출력인 제 2 비교신호(REFCRV)의 차에 의해 비교부(120)의 출력인 비교결과 신호를 생성하게 된다. 구체적으로, 기준전압 생성부(130)의 제어신호(NGATE)에 의해 제 14 NMOS 트랜지스터(N14)가 턴온되어 차동 증폭기가 동작하게 된다. 이때, 차동 증폭기의 특성에 따라 두 입력의 차에 의해 출력이 결정되게 된다. 즉, 제 12 NMOS 트랜지스터(N12)의 게이트 단자에 입력되는 제 1 비교신호(VBDIV)와 제 13 NMOS 트랜지스터(N13)의 게이트 단자에 입력되는 제 2 비교신호(REFCRV)의 전압 차에 의해 제 14 노드

(Q14)의 로직 상태가 바뀌게 된다. 예컨대, 제 10 노드(Q10)의 전압이 제 11 노드(Q11)보다 낮을 경우는 제 14 노드(Q14)의 출력은 로직 로우 상태의 신호가 출력된다. 제 10 노드(Q10)의 전압이 제 11 노드(Q11)보다 높을 경우는 제 14 노드(Q14)의 출력은 로직 하이 상태의 신호가 출력된다.

<37> 클럭 제어신호 출력부(140)는 비교부(120)의 출력인 비교결과 신호에 의해 제 1 및 제 2 클럭 제어신호(PBIAS 및 NBIAS) 출력단의 로직 상태를 변화 한다. 즉, 비교부(120)의 출력인 비교결과 신호는 제 1 클럭 제어신호(PBIAS)가 되고, 제 15 NMOS 트랜지스터(N15)를 제어한다. 제 2 클럭 제어신호(NBIAS)의 출력단에는 다이오드 접속된 제 19 PMOS 트랜지스터(P19)에 의해 로직 상태가 하이인 전원전압(VCC)이 인가되어 있다가 제 15 NMOS 트랜지스터(N15)의 동작 유무에 따라 그 값이 변화 하게 된다. 구체적으로, 제 14 노드(Q14)의 출력인 비교결과 신호가 로직 하이가 되면, 제 15 NMOS 트랜지스터(N15)가 턴온되어 제 2 클럭 제어신호(NBIAS)의 로직 상태가 로직 로우로 변화하게 된다. 또한, 제 14 노드(Q14)의 출력인 비교결과 신호가 로직 로우가 되면, 제 15 NMOS 트랜지스터(N15)가 턴오프 되어 제 2 클럭 제어신호(NBIAS)의 로직 상태가 로직 하이가 된다. 레귤레이션 블록(100)으로 입력되는 부스팅 전압에 이상이 없을 경우에는 제 1 및 제 2 클럭 제어신호(PBIAS 및 NBIAS)의 로직 상태는 각각 로우와 하이가 된다.

<38> 상술한 바와 같이, 제 1 및 제 2 비교신호의 차에 의해 제 1 및 제 2 클럭 제어신호의 로직 상태가 결정되게 된다. 이는 부스팅 전압의 제어를 위해 일정한 레벨의 제 2 비교신호의 생성을 필요로 하게 되고, 이를 위해 패키지 전압 신호(PVT)를 통해 기준전압 생성부 내의 제 16 PMOS 트랜지스터(P16)의 채널폭을 조절함으로써 제 2 비교신호의 레벨을 제어하는 패키지 전압 생성부(150)에 관하여 설명하기로 한다.

- <39> 도 3a 내지 도 3c는 본 발명에 따른 패키지 전압 생성부의 구성 및 동작을 설명하기 위한 회로도이다.
- <40> 도 3a 내지 도 3c를 참조하면, 패키지 전압 생성부(150)는 트림비트 입력부(도 3a 참조; 152), 전압레벨 변환부(도 3b 참조; 154) 및 패키지 전압 출력부(도 3c 참조; 156)를 포함하여 이루어진다. 트림비트 입력부(152), 전압레벨 변환부(154) 및 패키지 전압 출력부(156)는 직렬로 연결된다. 도 3a의 'A', 'B', 'C', 'D', 'E', 'F'는 각각 도 3b의 'A', 'B', 'C', 'D', 'E', 'F'에 각각 순차적으로 대응된다. 또한, 도 3b의 'G'는 도 3c의 'G'에 대응된다.
- <41> 트림비트 입력부(152)는 외부의 트림비트들의 상태에 따라 다수의 레벨 제어신호를 출력하여 전압레벨 변환부(154)를 제어하고, 전압레벨 변환부(154)는 트림비트 입력부의 출력인 레벨 제어신호에 의해 다양한 레벨의 전압을 출력한다. 패키지 전압 출력부(156)는 전압레벨 변환부(154)의 출력전압의 누설을 막고 패키지 전압 신호(PVT)를 기준전압 생성부(130)로 출력한다.
- <42> 본 발명의 패키지 전압 생성부는 트림비트 입력부(152), 전압레벨 변환부(154) 및 패키지 전압 출력부(156)를 포함하여 구성된다. 트림비트 입력부(152)는 제 10 내지 제 13 인버터(I10 내지 I13)와, 제 10 내지 제 13 낸드게이(ND10 내지 ND13)를 포함하여 이루어지고, 전압레벨 변환부(154)는 제 30 내지 제 63 PMOS 트랜지스터(P30 내지 P63)를 포함하여 이루어지며, 패키지 전압 출력부(156)는 제 30 내지 제 35 NMOS 트랜지스터(N30 내지 N35)를 포함하여 이루어진다.
- <43> 이하, 트림비트 입력부(도 3a), 전압레벨 변환부(도 3b) 및 패키지 전압 출력부(도 3c)를 첨부된 도면을 참조하여 상세히 설명하기로 한다.

- <44> 제 1 트림비트 입력단(TE1)은 제 10 인버터(I10)를 경유해 제 10 낸드게이트(ND10)의 제 1 입력단자에 접속됨과 동시에 제 12 낸드게이트(ND12)의 제 1 입력단자에 접속된다. 또한, 제 1 트림비트 입력단(TE1)은 제 11 낸드게이트(ND12)의 제 2 입력단자와 제 13 낸드게이트(ND13)의 제 1 입력단자에 접속된다.
- <45> 제 2 트림비트 입력단(TE2)은 제 11 인버터(I11)를 경유해 제 10 낸드게이트(ND10)의 제 2 입력단자에 접속됨과 동시에 제 11 낸드게이트(ND11)의 제 1 입력단자에 접속된다. 또한, 제 2 트림비트 입력단(TE2)은 제 12 및 제 13 낸드게이트(ND12 및 ND13)의 제 2 입력단자에 접속된다.
- <46> 제 3 트림비트 입력단(TE3)은 제 12 인버터(I12)를 경유해 제 53 PMOS 트랜지스터(P53)의 게이트 단자에 접속된다. 또한, 제 3 트림비트 입력단(TE3)은 제 12 및 제 13 인버터(I12 및 I13)를 경유해 제 33 PMOS 트랜지스터(P33)의 게이트 단자에 접속된다.
- <47> 제 10 낸드게이트(ND10)의 출력단자는 제 30 및 제 38 PMOS 트랜지스터(P30 및 P38)의 게이트 단자에 접속된다. 제 11 낸드게이트(ND11)의 출력단자는 제 31 및 제 41 PMOS 트랜지스터(P31 및 P41)의 게이트 단자에 접속된다. 제 12 낸드게이트(ND12)의 출력단자는 제 32 및 제 46 PMOS 트랜지스터(P32 및 P46)의 게이트 단자에 접속된다. 제 13 낸드게이트(ND13)의 출력단자는 제 54 PMOS 트랜지스터(P54)의 게이트 단자에 접속된다.
- <48> 제 33 PMOS 트랜지스터(P33)는 전원전압(VCC)과 제 20 노드(Q20) 사이에 접속된다. 제 53 PMOS 트랜지스터(P53)는 전원전압(VCC)과 제 25 노드(Q25) 사이에 접속된다. 제 30 PMOS 트랜지스터(P30)는 제 20 노드(Q20)와 제 23 노드(Q23) 사이에 접속된다. 제 31

PMOS 트랜지스터(P31)는 제 20 노드(Q20)와 제 22 노드(Q22) 사이에 접속된다. 제 32

PMOS 트랜지스터(P32)는 제 20 노드(Q20)와 제 21 노드(Q21) 사이에 접속된다.

<49> 제 34 PMOS 트랜지스터(P34)는 제 20 노드(Q20)와 제 21 노드(Q21) 사이에 접속되고, 제 35 PMOS 트랜지스터(P35)는 제 21 노드(Q21)와 제 22 노드(Q22) 사이에 접속되며, 제 36 PMOS 트랜지스터(P36)는 제 22 노드(Q22)와 제 23 노드(Q23) 사이에 접속되며, 제 37 PMOS 트랜지스터(P37)는 제 23 노드(Q23)와 제 24 노드(Q24) 사이에 접속된다. 이는 제 34 내지 제 37 PMOS 트랜지스터(P34 내지 P37)가 제 20 노드(Q20)와 제 24 노드(Q24) 사이에 직렬로 접속됨을 의미한다. 또한 제 34 내지 제 37 PMOS 트랜지스터(P34 내지 P37)의 게이트 단자들은 제 24 노드(Q24)에 각기 접속된다.

<50> 제 38 내지 제 40 PMOS 트랜지스터(P38 내지 P40)는 제 24 노드(Q24)와 제 25 노드(Q25) 사이에 직렬로 접속된다. 제 39 및 제 40 PMOS 트랜지스터(P39 및 P40)의 게이트 단자는 제 24 노드(Q24)에 각기 접속된다.

<51> 제 41 PMOS 트랜지스터(P41)는 제 25 및 제 26 노드(Q25 및 Q26) 사이에 접속된다. 제 42 및 제 43 PMOS 트랜지스터(P42 및 P43)는 제 24 및 제 26 노드(Q24 및 Q26) 사이에 직렬로 접속되고, 제 42 및 제 43 PMOS 트랜지스터(P42 및 P43)의 게이트 단자는 제 24 노드(Q24)에 의해 구동된다. 또한, 제 44 및 제 45 PMOS 트랜지스터(P44 및 P45)는 제 24 및 제 26 노드(Q24 및 Q26) 사이에 직렬로 접속되고, 제 44 및 제 45 PMOS 트랜지스터(P44 및 P45)의 게이트 단자는 제 24 노드(Q24)에 의해 구동된다. 즉, 직렬접속된 제 42 및 제 43 PMOS 트랜지스터(P42 및 P43)와 제 44 및 제 45 PMOS 트랜지스터(P44 및 P45)는 제 24 및 제 26 노드(Q24 및 Q26) 사이에 병렬로 접속된다.

<52> 제 46 PMOS 트랜지스터(P46)는 제 25 및 제 27 노드(Q25 및 Q27) 사이에 접속된다. 제 47과 제 48 PMOS 트랜지스터(P47과 P48), 제 49와 제 50 PMOS 트랜지스터(P49와 P50), 및 제 51과 제 52 PMOS 트랜지스터(P51과 P52) 각각은 제 24 및 제 27 노드(Q24 및 Q27) 사이에 직렬로 접속되고, 제 47 내지 제 52 PMOS 트랜지스터(P47 내지 P52) 각각은 제 24 노드(Q24)에 의해 구동된다. 직렬접속된 제 47과 제 48 PMOS 트랜지스터(P47과 P48), 제 49와 제 50 PMOS 트랜지스터(P49와 P50) 및 제 51과 제 52 PMOS 트랜지스터(P51과 P52)는 제 24 및 제 27 노드(Q24 및 Q27) 사이에 병렬로 접속된다.

<53> 제 54 PMOS 트랜지스터(P54)는 제 25 및 제 28 노드(Q25 및 Q28) 사이에 접속된다. 제 55와 제 56 PMOS 트랜지스터(P55와 P56), 제 57과 제 58 PMOS 트랜지스터(P57과 P58), 제 59와 제 60 PMOS 트랜지스터(P59와 P60), 및 제 61과 제 62 PMOS 트랜지스터(P61과 P62) 각각은 제 24 및 제 28 노드(Q24 및 Q28) 사이에 직렬로 접속되고, 제 55 내지 제 62 PMOS 트랜지스터(P55 내지 P62) 각각은 제 24 노드(Q24)에 의해 구동된다. 직렬접속된 제 55와 제 56 PMOS 트랜지스터(P55와 P56), 제 57과 제 58 PMOS 트랜지스터(P57과 P58), 제 59와 제 60 PMOS 트랜지스터(P59와 P60) 및 제 61과 제 62 PMOS 트랜지스터(P61 및 P62)는 제 24 및 제 28 노드(Q24 및 Q28) 사이에 병렬로 접속된다. 제 63 PMOS 트랜지스터(P63)는 제 24 노드(Q24)와 제 25 노드(Q25) 사이에 접속되고, 게이트 단자는 제 24 노드(Q24)에 접속된다.

<54> 제 30 내지 제 35 NMOS 트랜지스터(N30 내지 N35)는 제 24 노드(도 3b 및 도 3c의 'G'; Q24)와 접지전원(VSS)사이에 직렬로 접속되고, 제 30 내지 제 35 NMOS 트랜지스터(N30 내지 N35)의 게이트 단자들은 각기 접지전원(VSS)에 접속된다.

- <55> 상술한 구성을 갖고, 외부의 트림비트들을 입력받아 다양한 레벨의 패키지 전압을 출력하는 본 발명의 패키지 전압 생성부(150)의 동작을 살펴보면 다음과 같다.
- <56> 제 1 트림비트 입력단(TE1)의 제 1 트림비트 신호(STE1)는 제 11 및 제 13 낸드게이트(ND11 및 ND13)의 입력단자에 인가되고, 제 10 인버터(I10)에 의해 반전되어 제 10 및 제 12 낸드 게이트(ND10 및 ND12)의 입력단자에 인가된다.
- <57> 제 2 트림비트 입력단(TE2)의 제 2 트림비트 신호(STE2)는 제 12 및 제 13 낸드게이트(ND12 및 ND13)의 입력단자에 인가되고, 제 11 인버터(I11)에 의해 반전되어 제 10 및 제 11 낸드 게이트(ND10 및 ND11)의 입력단자에 인가된다.
- <58> 제 10 낸드게이트(ND10)는 반전된 제 1 및 제 2 트림비트 신호(STE1 및 STE2)를 입력받아 이들의 로직 조합을 통해 제 1 전압 레벨 제어신호(VLC1)를 제 30 및 제 38 PMOS 트랜지스터(P30 및 P38)의 게이트 단자에 출력한다. 제 11 낸드게이트(ND11)는 반전된 제 2 트림비트 신호(STE2)와 제 1 트림비트 신호(STE1)를 입력받아 로직 조합을 통해 제 2 전압 레벨 제어신호(VLC2)를 제 31 및 제 41 PMOS 트랜지스터(P31 및 P41)의 게이트 단자에 출력한다. 제 12 낸드 게이트(ND12)는 반전된 제 1 트림비트 신호(STE1)와 제 2 트림비트 신호(STE2)를 입력받아 이의 로직 조합을 통해 제 3 전압 레벨 제어신호(VLC3)를 제 32 및 제 46 PMOS 트랜지스터(P32 및 P46)의 게이트 단자에 출력한다. 제 13 낸드 게이트(ND13)는 제 1 및 제 2 트림비트 신호(STE1 및 STE2)를 입력받아 이의 로직 조합을 통해 제 4 전압 레벨 제어신호(VLC4)를 제 54 PMOS 트랜지스터(P54)의 게이트 단자에 출력한다.

<59> 예컨대, 제 1 및 제 2 트림 비트 신호(STE1 및 STE2)의 로직 상태가 모두 로우일 경우에 제 10 낸드 게이트(ND10)는 로직 상태가 로우인 제 1 전압레벨 제어신호(VLC1)를 출력하고, 제 11 내지 제 13 낸드 게이트(ND 11 내지 ND13)들 각각은 로직 상태가 하이인 제 2 내지 제 4 전압레벨 제어신호(VLC2 내지 VLC4)를 출력한다. 또한, 제 1 및 제 2 트림 비트 신호(STE1 및 STE2)의 로직 상태가 각각 하이와 로우일 경우에 제 11 낸드 게이트(ND11)는 로직상태가 로우인 제 2 전압레벨 제어신호(VLC2)를 출력하고, 제 1 및 제 2 트림 비트 신호(STE1 및 STE2)의 로직 상태가 각각 로우와 하이일 경우에 제 12 낸드 게이트(ND12)는 로직상태가 로우인 제 3 전압레벨 제어신호(VLC3)를 출력하며, 제 1 및 제 2 트림 비트 신호(STE1 및 STE2)의 로직 상태가 모두 로우일 경우에 제 13 낸드 게이트(ND13)는 로직상태가 로우인 제 4 전압레벨 제어신호(VLC4)를 출력한다.

<60> 제 3 트림비트 입력단(TE3)의 제 3 트림비트 신호(STE3)는 제 12 인버터(I12)에 의해 반전되어(제 1 경로 제어신호; RTE) 제 53 PMOS 트랜지스터(P53)에 인가된다. 또한, 제 12 인버터에 의해 반전된 제 3 트림비트 신호(STE3)는 제 13 인버터(I13)에 의해 반전되어(제 2 경로 제어신호; IRTE) 제 33 PMOS 트랜지스터(P33)에 인가된다. 제 3 트림비트 신호(STE3)에 의해 전압 레벨 변환부(154) 내의 제 33 및 제 53 PMOS 트랜지스터(P33 및 P53)를 제어하여 전원전압(VCC)의 경로를 조절하게 된다.

<61> 구체적으로, 로직 상태가 하이인 제 3 트림비트 신호(STE3)가 입력될 경우 제 12 인버터(I12)에 의해 반전된 로직 로우인 제 1 경로 제어신호(RTE)가 출력되고, 제 13 인버터(I13)에 의해 로직 하이인 제 2 경로 제어신호(IRTE)가 출력된다. 따라서, 제 1 경로 제어신호(RTE)에 의해 제 53 PMOS 트랜지스터(P53)가 구동하여 제 25 노드(Q25)에 전원전압(VCC)이 인가된다. 또한 로직 상태가 로우인 제 3 트림비트 신호(TE3)가 입력될



경우 제 12 인버터(I12)에 의해 로직 하이인 제 1 경로 제어신호(RTE)가 출력되고, 제 13 인버터(I13)에 의해 로직 로우인 제 2 경로 제어신호(IRTE)가 출력된다. 따라서, 제 2 경로 제어신호(IRTE)에 의해 제 33 PMOS 트랜지스터(P33)가 구동하여 제 20 노드(Q20)에 전원전압(VCC)이 인가된다.

<62> 상술한 제 1 내지 제 4 전압 레벨 제어신호(VLC1 내지 VLC4)와 제 1 및 제 2 경로 제어신호(RTE 및 IRTE)에 의해 전압 레벨 변환부(154)에서는 제 1 내지 제 7 전압레벨의 패키지 전압신호를 출력하게 된다.

<63> 먼저, 제 2 경로 제어신호(IRTE)에 의해 제 53 PMOS 트랜지스터(P53)가 턴오프 되고, 제 33 PMOS 트랜지스터(P33)가 턴온되었을 때를 살펴보면, 제 1 내지 제 3 전압 레벨 제어신호(VLC1 내지 VLC3)에 의해 제 1 내지 제 3 전압레벨의 전압이 출력단에 인가된다.

<64> 구체적으로, 제 1 전압레벨 제어신호(VLC1)에 의해 제 30 PMOS 트랜지스터(P30)가 턴온된다. 제 33, 제 30 및 제 37 PMOS 트랜지스터(P33, P30 및 P37)에 의해 전압강하 및 전압 분배되어 출력단에 제 1 전압 레벨의 전압이 인가된다. 제 2 전압레벨 제어신호(VLC2)에 의해 제 31 PMOS 트랜지스터(P31)가 턴온되고, 제 33 및 제 31 PMOS 트랜지스터(P33 및 P31)와 제 36 및 제 37 PMOS 트랜지스터(P36 및 P37)에 의해 전압강하 및 전압 분배되어 출력단에 제 2 전압레벨의 전압이 인가된다. 제 3 전압레벨 제어신호(VLC3)에 의해 제 32 PMOS 트랜지스터(P32)가 턴온되고, 제 33 및 제 32 PMOS 트랜지스터(P33 및 P32)와 제 35 내지 제 37 PMOS 트랜지스터(P35 내지 P37)에 의해 전압강하 및 전압 분배되어 출력단에 제 3 전압레벨의 전압이 인가된다.

<65> 먼저, 제 1 경로 제어신호(RTE)에 의해 제 33 PMOS 트랜지스터(P33)가 턴오프 되고, 제 53 PMOS 트랜지스터(P53)가 턴온되었을 때를 살펴보면, 제 1 내지 제 4 전압 레벨 제어신호(VLC1 내지 VLC4)에 의해 제 4 내지 제 7 전압레벨의 전압이 출력단에 인가된다.

<66> 구체적으로, 제 1 전압레벨 제어신호(VLC1)에 의해 제 38 PMOS 트랜지스터(P38)가 턴온되고, 제 53 및 제 38 PMOS 트랜지스터(P53 및 P38), 제 39 및 제 40 PMOS 트랜지스터(P39 및 P40)와 제 63 PMOS 트랜지스터(P63)에 의해 전압강하 및 전압 분배되어 출력단에 제 4 전압레벨의 전압이 인가된다. 제 2 전압레벨 제어신호(VLC2)에 의해 제 41 PMOS 트랜지스터(P41)가 턴온되고, 제 53 및 제 41 PMOS 트랜지스터(P53 및 P41), 제 42 및 제 43 PMOS 트랜지스터(P42 및 P43), 제 44 및 제 45 PMOS 트랜지스터(P44 및 P45)와 제 63 PMOS 트랜지스터(P63)에 의해 전압강하 및 전압 분배되어 출력단에 제 5 전압레벨의 전압이 인가된다. 제 3 전압레벨 제어신호(VLC3)에 의해 제 46 PMOS 트랜지스터(P46)가 턴온되고, 제 53 및 제 46 PMOS 트랜지스터(P53 및 P46), 제 47 및 제 48 PMOS 트랜지스터(P47 및 P48), 제 49 및 제 50 PMOS 트랜지스터(P49 및 P50), 제 51 및 제 52 PMOS 트랜지스터(P51 및 P52)와 제 63 PMOS 트랜지스터(P63)에 의해 전압강하 및 전압 분배되어 출력단에 제 6 전압레벨의 전압이 인가된다. 제 4 전압레벨 제어신호(VLC4)에 의해 제 54 PMOS 트랜지스터(P54)가 턴온되고, 제 53 및 제 54 PMOS 트랜지스터(P53 및 P54), 제 55 및 제 56 PMOS 트랜지스터(P55 및 P56), 제 57 및 제 58 PMOS 트랜지스터(P57 및 P58), 제 59 및 제 60 PMOS 트랜지스터(P59 및 P60), 제 61 및 제 62 PMOS 트랜지스터(P61 및 P62)와 제 63 PMOS 트랜지스터(P63)에 의해 전압강하 및 전압 분배되어 출력단에 제 7 전압레벨의 전압이 인가된다. 즉, 제 38, 제 41, 제 46 및 제 54 PMOS 트

랜지스터(P38, P41, P46 및 P54)의 턴온 상태에 따라 병렬 연결된 PMOS 트랜지스터의 개수가 늘어나게 되고 이로써 다양한 레벨의 전압 및 전류를 출력하게 된다.

<67> 출력부(156)는 제 30 내지 제 35 NMOS 트랜지스터(N30 내지 N35)를 이용한 누설 통로를 두고, 전압레벨 변환부(154)의 출력인 제 1 내지 제 7 전압레벨 신호(PVT)를 비교 기준전압 생성수단(130)에 출력한다.

<68> 상술한 구성과 동작을 하는 패키지 전압 생성부(150)에서 출력된 패키지 전압(PVT)(제 1 내지 제 7 전압레벨)에 의해 기준전압 생성부(130)의 출력인 제 2 비교기준 신호(REFCRV)와 제어신호(NGATE)가 변화하게 된다. 이로써, 부스팅 전압을 일정한 레벨로 제어하기 위한 기준전압(제 2 비교기준 신호(REFCRV))을 가변적으로 설정할 수 있다.

<69> 상술한 바와 같이 레귤레이션 블록(100)은 내부에서 기준전압을 생성하여 입력된 부스팅 전압과 이를 비교하여 입력된 부스팅 전압의 레벨이 기준전압에 비하여 높고 낮음에 따라서 클럭 생성기(200)를 제어하는 제 1 및 제 2 클럭 제어신호(PBIAS 및 NBIAS)의 로직 상태를 변화시킨다. 레귤레이션 블록(100)은 이와 같이 클럭 생성기(200)를 제어하여 부스팅 전압의 레벨을 제어하게 된다.

<70> 이하, 레귤레이션 블록(100)의 제 1 및 제 2 클럭 제어신호(PBIAS 및 NBIAS)에 의해 제어되는 클럭 생성기(200)에 관해 설명하기로 한다.

<71> 도 4는 본 발명에 따른 클럭 생성기의 구성 및 동작을 설명하기 위한 회로도이다.

<72> 도 4를 참조하면, 클럭 생성기(200)는 제 1 내지 제 5 클럭 발생부(210 내지 250)를 포함하여 이루어진다. 제 1 내지 제 5 클럭 발생부(210 내지 250)는 각각 외부의 제

1 및 제 2 클럭 제어신호(PBIAS 및 NBIAS)와 연결된다. 제 1 내지 제 5 클럭 발생부(210 내지 250)의 출력단은 앞단의 입력단과 연결되어 루프를 형성한다.

<73> 상술한 제 1 내지 제 5 클럭 발생부(210 내지 250)의 회로는 동일하기 때문에 제 1 클럭 발생부(210)를 기준으로 설명한다.

<74> 제 1 클럭 발생부(210)는 외부의 제 1 클럭 제어신호(PBIAS)에 의해 구동되는 제 1 PMOS 트랜지스터(P1)와 제 5 클럭 출력단(CLK4)에 의해 구동되는 제 2 PMOS 트랜지스터(P2)가 전원전압(VCC)과 제 1 클럭 신호(CLK0) 출력단 사이에 직렬로 접속된다. 제 2 클럭 제어신호(NBIAS)에 의해 구동되는 제 1 NMOS 트랜지스터(N1)와 제 5 클럭 출력단(CLK4)에 의해 구동되는 제 2 NMOS 트랜지스터(N2)가 제 1 클럭 출력단(CLK0)과 접지전원(VSS) 사이에 직렬로 접속된다.

<75> 즉, 제 1 PMOS 트랜지스터(P1), 제 2 PMOS 트랜지스터(P2), 제 2 NMOS 트랜지스터(N2)와 제 1 NMOS 트랜지스터(N1)가 전원전압(VCC)과 접지전원(VSS) 사이에 순차적으로 직렬접속 되고, 제 1 PMOS 트랜지스터(P1)와 제 1 NMOS 트랜지스터(N1)는 각각 외부의 제 1 및 제 2 클럭 제어신호(PBIAS 및 NBIAS)에 의해 구동되고, 제 2 PMOS 트랜지스터(P2)와 제 2 NMOS 트랜지스터(N2)는 제 5 클럭발생부(250)의 출력인 제 5 클럭 신호(CLK4) 출력단의 출력신호에 의해 구동된다.

<76> 상술한 클럭 생성기의 동작을 설명하면 다음과 같다.

<77> 제 1 클럭 제어신호(PBIAS)에 의해 제 1 PMOS 트랜지스터(P1)가 턴온 또는 턴오프되어 로직 상태가 하이인 전원전압(VCC)을 제 2 PMOS 트랜지스터(P2)의 드레인 단자에 인가하는 것을 제어하게 되고, 제 2 클럭 제어신호(NBIAS)에 의해 제 1 NMOS 트랜지스터

(N1)가 턴온 또는 턴오프되어 로직 상태가 로우인 접지전원(VSS)을 제 2 NMOS 트랜지스터(N2)의 드레인 단자에 인가하는 것을 제어한다.

<78> 이때, 제 5 클럭 발생부(250)의 출력인 제 5 클럭 신호(CLK4)의 로직 상태에 의해 제 2 PMOS 트랜지스터(P2)와 제 2 NMOS 트랜지스터(N2) 중 어느 하나가 턴온되어 제 5 클럭 신호(CLK4)와 로직 상태가 반대인 제 1 클럭 신호(CLK0)를 제 1 클럭 발생부(210)의 출력단으로 출력한다. 즉, 제 1 내지 제 5 클럭 발생부(210 내지 250)는 앞단의 출력 신호의 로직 상태와 반대되는 로직 신호를 출력하게 된다.

<79> 구체적으로, 제 1 내지 제 5 클럭 신호(CLK0 내지 CLK4)의 초기 로직 상태가 각각 하이, 로우, 하이, 로우 및 하이상태이고, 제 1 및 제 2 클럭 제어신호(PBIAS 및 NBIAS)의 로직 상태가 각각 로우와 하이가 인가될 때를 살펴보면 다음과 같다.

<80> 위에서 설명한 바와 같이 제 1 클럭 발생부(210)의 제 1 PMOS 및 제 1 NMOS 트랜지스터(P1 및 N1)는 제 1 및 제 2 클럭 제어신호(PBIAS 및 NBIAS)에 의해 턴온되고, 로직 상태가 하이인 제 5 클럭 신호(CLK4)에 의해 제 2 NMOS 트랜지스터(N2)가 턴온된다. 이로써 제 1 클럭 발생부(210)는 로직 상태가 하이인 제 5 클럭 신호(CLK4)를 입력받아 로직 상태가 로우인 제 1 클럭 신호(CLK0)를 출력한다. 제 2 클럭 발생부(220)는 로직 상태가 로우인 제 1 클럭 신호(CLK0)를 입력받아 로직 상태가 하이인 제 2 클럭 신호(CLK1)를 출력한다. 제 3 클럭 발생부(230)는 로직 상태가 하이인 제 2 클럭 신호(CLK1)를 입력받아 로직 상태가 로우인 제 3 클럭 신호(CLK2)를 출력한다. 제 4 클럭 발생부(240)는 로직 상태가 로우인 제 3 클럭

신호(CLK2)를 입력받아 로직 상태가 하이인 제 4 클럭 신호(CLK3)를 출력한다. 제 5 클럭 발생부(250)는 로직 상태가 하이인 제 4 클럭 신호(CLK3)를 입력받아 로직 상태가 로우인 제 5 클럭 신호(CLK4)를 출력한다. 제 1 클럭 발생부(210)는 로직 상태가 로우인 제 5 클럭 신호(CLK4)를 입력받아 로직 상태가 하이인 제 1 클럭 신호(CLK0)를 출력한다.

<81> 제 1 클럭 신호(CLK0)의 로직 상태를 살펴보면 하이에서 로우로 다시 로우에서 하이로 계속적으로 변화하게 된다. 제 1 내지 제 5 클럭 발생부(210 내지 250)는 일정한 주기를 갖는 제 1 내지 제 5 클럭 신호(CLK0 내지 CLK4)를 출력하여 제 1 및 제 2 펌프(300 내지 310)를 제어하게 된다.

<82> 이때, 제 1 클럭 제어신호(PBIAS)에 로직 상태가 하이인 신호가 입력되거나, 제 2 클럭 제어신호(NBISA)에 로직 상태가 로우인 신호가 입력될 경우에는, 제 1 PMOS 트랜지스터(P1)가 턴오프 되거나, 제 2 NMOS 트랜지스터(N2)가 턴오프된다. 이로써, 제 1 내지 제 5 클럭 발생부(210 내지 250)의 클럭 신호가 소정의 로직 상태를 일정시간 유지하게 되어 클럭 주기를 제어할 수 있게 된다.

【발명의 효과】

<83> 상술한 바와 같이, 본 발명은 트림 비트를 이용하여 PVT 전압의 레벨을 조정 비교 기준전압 생성부 제어하고, 전압 강하된 부스팅 전압과 비교기준전압 생성부의 기준전압을 비교하여 부스팅 전압을 제어함으로써, 저전력으로 안정적인 부스팅 전압을 제어할 수 있다.



1020020060998

출력 일자: 2003/4/17

<84> 또한, 안정적인 부스팅 전압을 평상시에도 유지할 수 있어, 소자의 읽기 동작의 속도를 향상할 수 있다.



【특허청구범위】

【청구항 1】

펌프에 의해 부스팅 된 전압의 레벨을 일정하게 유지하기 위해서,

상기 부스팅 전압을 강하하기 위한 부스팅 전압 분배수단;

외부의 트림비트에 따라 다양한 전압 레벨의 패키지 전압 신호를 생성하는 패키지 전압 생성 수단;

상기 패키지 전압 생성 수단의 상기 패키지 전압 신호에 의해 기준전압과 제어전압을 생성하는 비교기준전압 생성 수단;

상기 제어전압에 의해 동작하고 상기 전압 강하된 부스팅 전압과 상기 기준전압을 비교하여, 비교 결과신호를 출력하는 비교수단;

상기 비교수단의 비교 결과신호를 이용하여 제 1 및 제 2 클럭 제어신호를 출력하는 출력수단;

상기 제 1 및 제 2 클럭 제어신호에 의해 클럭 신호를 생성하는 클럭 생성기; 및

상기 클럭신호에 의해 부스팅 전압을 항상 출력하는 제 1 펌프와 외부의 독출 신호와 상기 클럭 신호에 의해 부스팅 전압을 출력하는 제 2 펌프를 포함하여 이루어진 것을 특징으로 하는 부스팅 전압 제어 회로.

【청구항 2】

클럭 생성기의 출력신호에 따라 펌핑된 전압을 출력으로 전달하기 위한 펌프와, 상기 출력의 전압을 검출하여 상기 클럭생성기를 제어하기 위한 레귤레이션 블록을 포함하여 이루어진 부스팅 전압 제어 회로에 있어서,

상기 레귤레이션 블록은,

상기 출력의 전압을 일정한 레벨로 강하하기 위한 부스팅 전압분배수단;

외부의 트림비트에 따라 다양한 전압레벨의 패키지 전압신호를 생성하는 패키지 전압 생성수단;

상기 패키지 전압신호에 따라 기준전압과 제어전압을 생성하는 비교기준 전압 생성수단; 및

상기 제어전압에 따라 상기 전압분배 수단의 출력과 상기 기준전압을 비교하여 상기 클럭 생성기를 제어하기 위한 제어신호를 발생하는 비교수단을 포함하여 이루어진 것을 특징으로 하는 부스팅 전압 제어 회로.

【청구항 3】

제 1 항 또는 제 2 항에 있어서, 상기 패키지 전압 생성수단은,

제 1 내지 제 3 트림비트 신호를 입력받아 제 1 내지 제 4 전압 레벨 제어신호와 제 1 및 제 2 경로 제어신호를 생성하는 트림비트 입력부;

상기 제 1 내지 제 4 전압 레벨 제어신호와 제 1 및 제 2 경로 제어신호에 의해 제 1 내지 제 7 전압레벨을 갖는 패키지 전압신호를 생성하는 전압레벨 변환부; 및



상기 패키지 전압신호를 상기 비교 기준전압 생성수단으로 출력하는 패키지 전압 출력부를 포함하여 이루어진 것을 특징으로 하는 부스팅 전압 제어 회로.

【청구항 4】

제 3 항에 있어서, 상기 트림비트 입력부는,

제 1 트림비트 입력단에 접속되어, 제 1 트림비트 신호를 반전하는 제 1 인버터;

제 2 트림비트 입력단에 접속되어, 제 2 트림비트 신호를 반전하는 제 2 인버터;

상기 제 1 및 제 2 인버터에 접속되어, 상기 반전된 제 1 및 제 2 트림비트 신호의 로직조합을 통해 제 1 전압 레벨 제어신호를 생성하는 제 1 낸드 게이트;

상기 제 2 인버터 및 상기 제 1 트림비트 입력단에 접속되어, 상기 반전된 제 2 트림비트 신호 및 상기 제 1 트림비트 신호의 로직조합을 통해 제 2 전압 레벨 제어신호를 생성하는 제 2 낸드 게이트;

상기 제 1 인버터 및 상기 제 2 트림비트 입력단에 접속되어, 상기 반전된 제 1 트림비트 신호 및 상기 제 2 트림비트 신호의 로직조합을 통해 제 3 전압 레벨 제어신호를 생성하는 제 3 낸드 게이트;

상기 제 1 및 제 2 트림비트 입력단에 접속되어, 상기 제 1 및 제 2 트림비트 신호의 로직 조합을 통해 제 4 전압 레벨 제어신호를 생성하는 제 4 낸드 게이트;

제 3 트림비트 입력단에 접속되어, 상기 제 3 트림비트 신호를 반전하여 상기 제 1 경로 제어신호를 생성하는 제 3 인버터; 및

상기 제 3 인버터에 접속되어, 상기 제 1 경로 제어신호를 반전하여 상기 제 2 경로 제어신호를 생성하는 제 4 인버터를 포함하여 이루어지는 것을 특징으로 하는 부스팅 전압 제어 회로.

【청구항 5】

제 3 항에 있어서, 상기 전압레벨 변환부는,

전원전압과 제 1 노드사이에 접속되고, 상기 제 2 경로 제어신호에 의해 구동되는 제 1 PMOS 트랜지스터;

전원전압과 제 2 노드사이에 접속되고, 상기 제 1 경로 제어신호에 의해 구동되는 제 2 PMOS 트랜지스터;

상기 제 2 노드와 제 3 노드 사이에 접속되고, 상기 제 3 전압 레벨 제어신호에 의해 구동되는 제 3 PMOS 트랜지스터;

상기 제 2 노드와 제 4 노드 사이에 접속되고, 상기 제 2 전압 레벨 제어신호에 의해 구동되는 제 4 PMOS 트랜지스터;

상기 제 2 노드와 제 5 노드 사이에 접속되고, 상기 제 1 전압 레벨 제어신호에 의해 구동되는 제 5 PMOS 트랜지스터;

상기 제 2 노드와 상기 제 3 노드 사이에 접속되고, 제 6 노드에 의해 구동되는 제 6 PMOS 트랜지스터;

상기 제 3 노드와 상기 제 4 노드 사이에 접속되고, 상기 제 6 노드에 의해 구동되는 제 7 PMOS 트랜지스터;

상기 제 4 노드와 상기 제 5 노드 사이에 접속되고, 상기 제 6 노드에 의해 구동되는 제 8 PMOS 트랜지스터;

상기 제 5 노드와 상기 제 6 노드 사이에 접속되고, 상기 제 6 노드에 의해 구동되는 제 9 PMOS 트랜지스터;

상기 제 1 노드와 상기 제 6 노드 사이에 직렬로 접속되고, 상기 제 1 전압 레벨 제어신호에 의해 구동되는 제 10 PMOS 트랜지스터와 상기 제 6 노드에 의해 구동되는 제 11 및 제 12 PMOS 트랜지스터;

상기 제 1 노드와 제 7 노드 사이에 접속되고, 상기 제 2 전압 레벨 제어신호에 의해 구동되는 제 13 PMOS 트랜지스터;

상기 제 6 노드와 상기 제 7 노드 사이에 직렬 접속되고, 상기 제 6 노드에 의해 구동되는 제 14 및 제 15 PMOS 트랜지스터;

상기 제 6 노드와 상기 제 7 노드 사이에 직렬 접속되고, 상기 제 6 노드에 의해 구동되는 제 16 및 제 17 PMOS 트랜지스터;

상기 제 1 노드와 제 8 노드 사이에 접속되고, 상기 제 3 전압 레벨 제어신호에 의해 구동되는 제 18 PMOS 트랜지스터;

상기 제 6 노드와 상기 제 8 노드 사이에 직렬 접속되고, 상기 제 6 노드에 의해 구동되는 제 19 및 제 20 PMOS 트랜지스터;

상기 제 6 노드와 상기 제 8 노드 사이에 직렬 접속되고, 상기 제 6 노드에 의해 구동되는 제 21 및 제 22 PMOS 트랜지스터;

상기 제 6 노드와 상기 제 8 노드 사이에 직렬 접속되고, 상기 제 6 노드에 의해 구동되는 제 23 및 제 24 PMOS 트랜지스터;

상기 제 1 노드와 제 9 노드 사이에 접속되고, 상기 제 4 전압 레벨 제어신호에 의해 구동되는 제 25 PMOS 트랜지스터;

상기 제 6 노드와 상기 제 9 노드 사이에 접속되고, 상기 제 6 노드에 의해 구동되는 제 26 및 제 27 PMOS 트랜지스터;

상기 제 6 노드와 상기 제 9 노드 사이에 접속되고, 상기 제 6 노드에 의해 구동되는 제 28 및 제 29 PMOS 트랜지스터;

상기 제 6 노드와 상기 제 9 노드 사이에 접속되고, 상기 제 6 노드에 의해 구동되는 제 30 및 제 31 PMOS 트랜지스터;

상기 제 6 노드와 상기 제 9 노드 사이에 접속되고, 상기 제 6 노드에 의해 구동되는 제 32 및 제 33 PMOS 트랜지스터; 및

상기 제 1 노드와 상기 제 6 노드 사이에 접속되고, 상기 제 6 노드에 의해 구동되는 제 34 PMOS 트랜지스터를 포함하여 이루어진 것을 특징으로 하는 부스팅 전압 제어 회로.

【청구항 6】

제 1 항 또는 제 2 항에 있어서, 상기 부스팅 전압 분배수단은,

상기 부스팅 전압 분배수단의 입력단과 접지전원 사이에 직렬로 접속되고, 각기 소스단자와 게이트 단자가 접속되어 있는 제 1 내지 제 6 PMOS 트랜지스터를 포함하여 이루어진 것을 특징으로 하는 부스팅 전압 제어 회로.

【청구항 7】

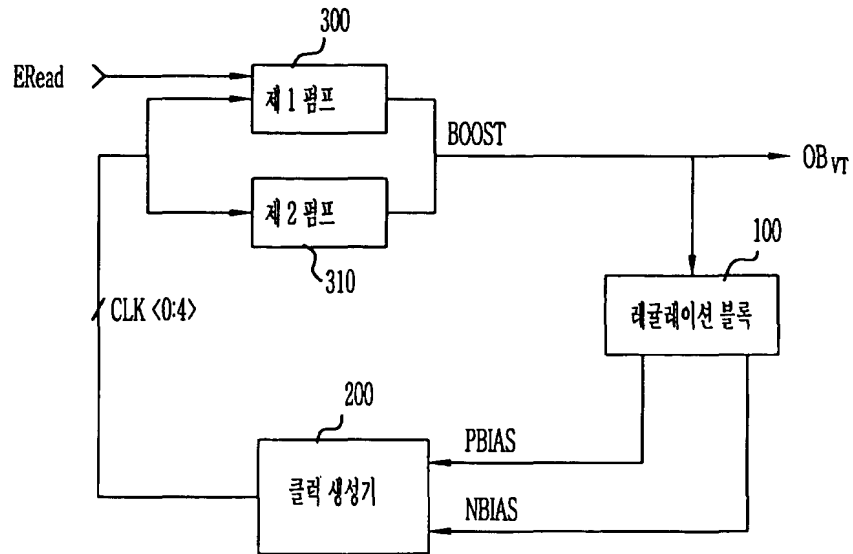
제 1 항 또는 제 2 항에 있어서, 상기 비교기준 전압 생성부는,
전원전압과 제 1 노드 사이에 접속되고, 상기 패키지 전압 신호에 의해 구동되는 PMOS 트랜지스터;

상기 제 1 노드와 제 2 사이에 접속되고, 상기 제 1 노드에 의해 구동되는 제 1 NMOS 트랜지스터; 및

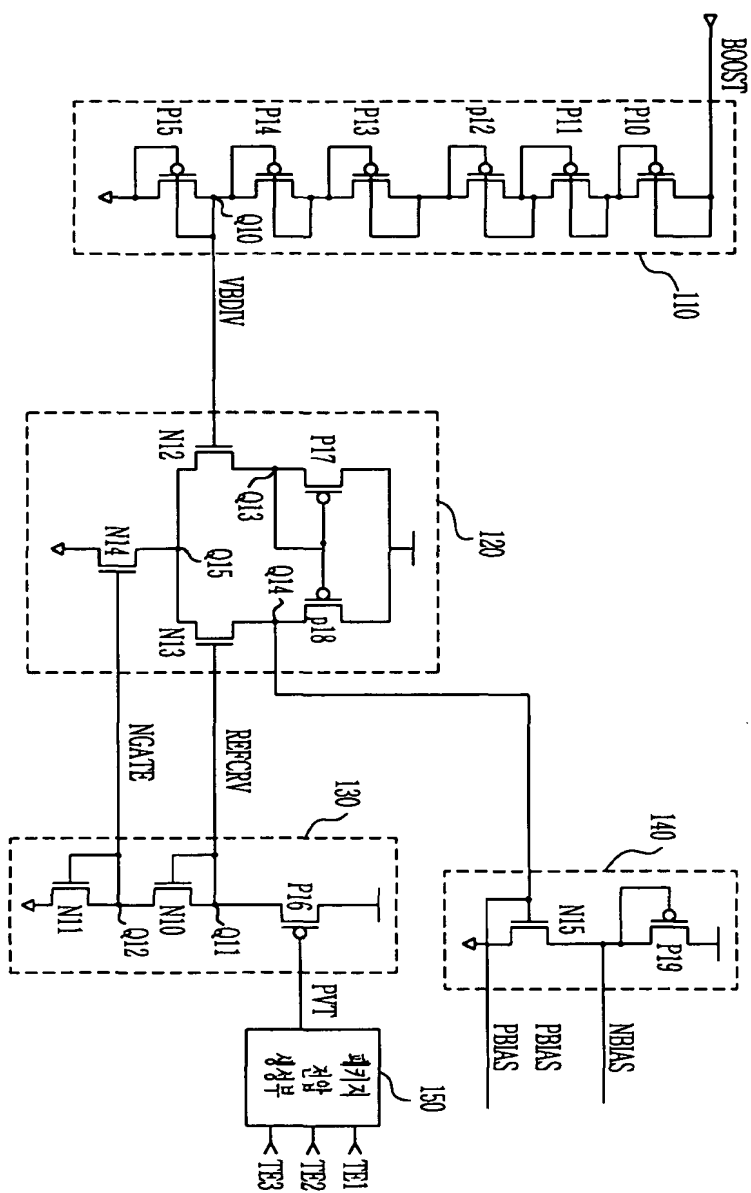
상기 제 2 노드와 접지전원 사이에 접속되고, 상기 제 2 노드에 의해 구동되는 제 2 NMOS 트랜지스터를 포함하여 이루어진 것을 특징으로 하는 부스팅 전압 제어 회로.

【도면】

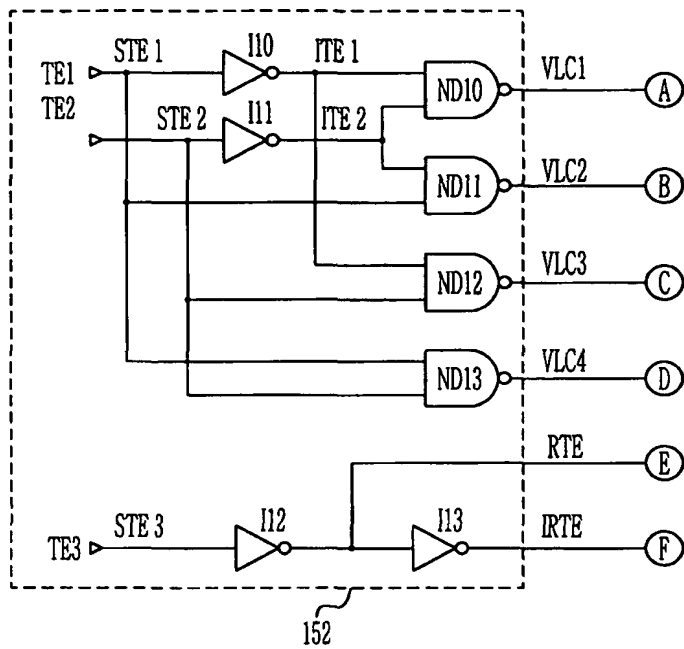
【도 1】



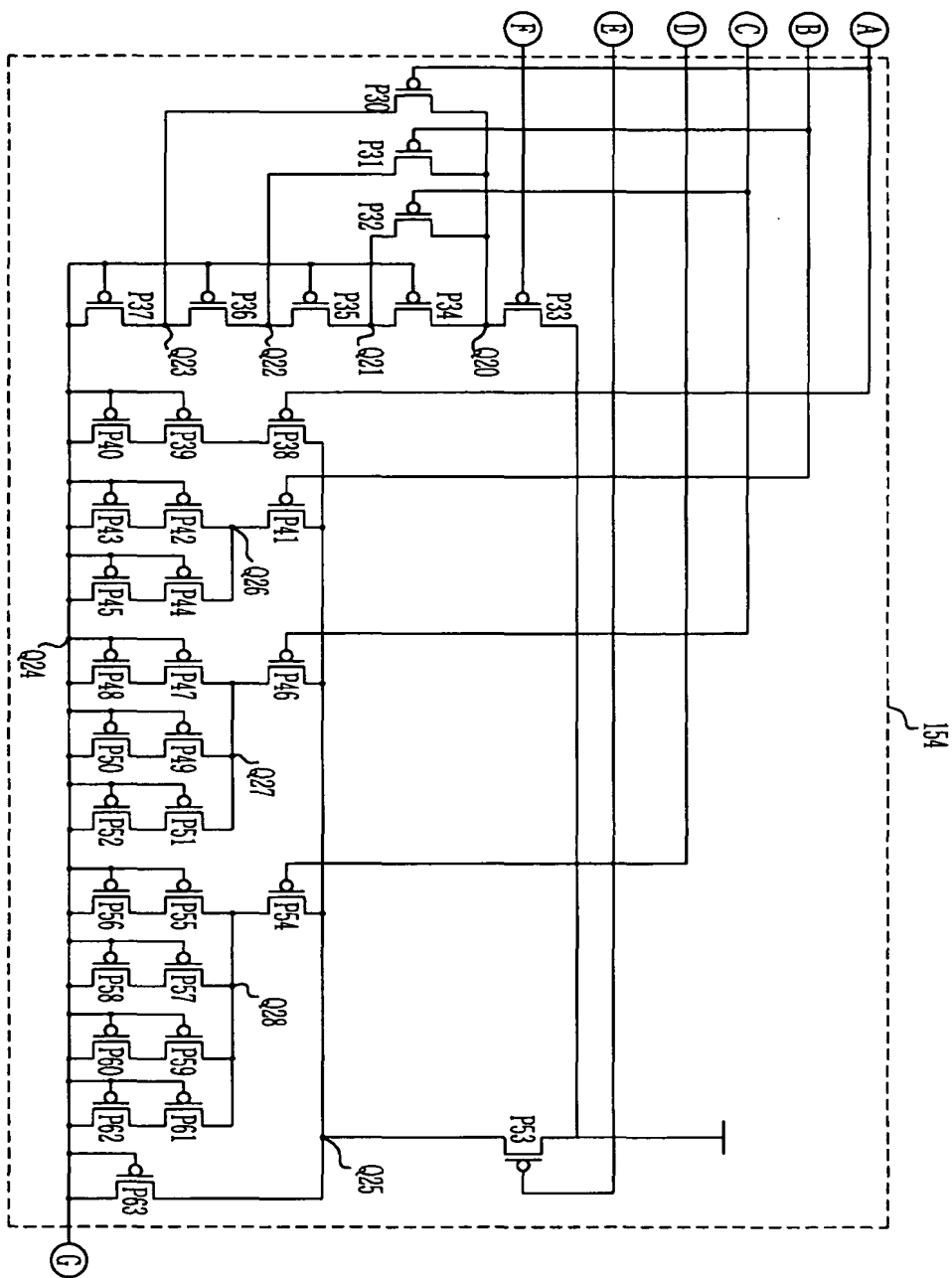
【도 2】



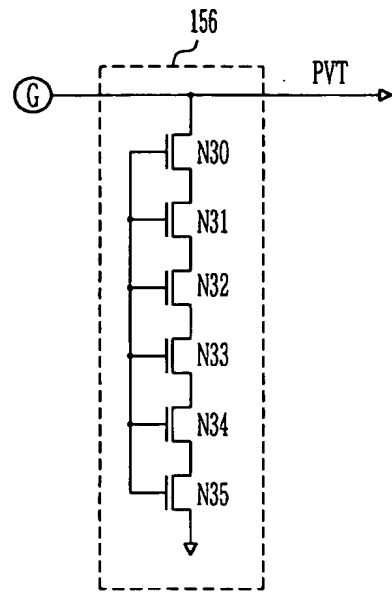
【도 3a】



【도 3b】



【도 3c】



【도 4】

